

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tadashi MATSUDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2004-013459	January 21, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 1月21日

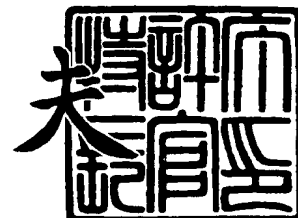
出願番号
Application Number: 特願2004-013459
[ST. 10/C]: [JP2004-013459]

出願人
Applicant(s): 株式会社東芝

2004年 2月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3012946

【書類名】 特許願
【整理番号】 14558001
【提出日】 平成16年 1月21日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 兵庫県揖保郡太子町鵜 3 0 0 番地 株式会社東芝 姫路半導体工場内
 【氏名】 松 田 正
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橘 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 導電型第 1 の半導体層と、
前記第 1 の半導体層の一方の表面上に形成された第 2 導電型第 2 の半導体層と、
前記第 2 の半導体層の表面部分に形成された第 1 導電型ベース層と、
前記ベース層の表面部分に選択的に形成された第 2 導電型エミッタ層と、
前記エミッタ層及び前記ベース層を貫通し前記第 2 の半導体層の所定の深さまで設けられた複数のトレンチ溝と、
前記トレンチ溝内にゲート絶縁膜を介して形成されたゲート電極と、
前記エミッタ層及び前記ベース層上に形成されたエミッタ電極と、
前記第 1 の半導体層の他方の表面上に形成されたコレクタ電極と、
隣接する二つの前記トレンチ溝間における任意の領域に形成され、前記エミッタ電極と絶縁された第 1 導電型補助ベース層と、
前記第 1 導電型補助ベース層の表面にコンタクトするキャリア排出電極と、
を備えることを特徴とするトレンチゲート型 IGBT を含む半導体装置。

【請求項 2】

第 1 導電型第 1 の半導体層と、
前記第 1 の半導体層の一方の表面上に形成された第 2 導電型第 2 の半導体層と、
前記第 2 の半導体層の表面部分に形成された第 1 導電型ベース層と、
前記ベース層の表面部分に選択的に形成された第 2 導電型エミッタ層と、
前記エミッタ層及び前記ベース層を貫通し前記第 2 の半導体層の所定の深さまで設けられた複数のトレンチ溝と、
前記トレンチ溝内にゲート絶縁膜を介して形成されたゲート電極と、
前記エミッタ層及び前記ベース層上に形成されたエミッタ電極と、
前記第 1 の半導体層の他方の表面上に形成されたコレクタ電極と、
隣接する二つの前記トレンチ溝間における任意の領域に形成された第 1 導電型補助ベース層と、
前記第 1 導電型補助ベース層の表面にコンタクトするキャリア排出電極とを有するトレンチゲート型 IGBT と、
前記第 1 導電型のチャネル領域を有し、前記トレンチゲート型 IGBT の前記キャリア排出電極にソースが接続され、前記トレンチゲート型 IGBT の前記エミッタ電極にドレインが接続され、前記トレンチゲート型 IGBT のゲート電極にゲート電極が電氣的に接続されている MISFET と、
を備えることを特徴とするトレンチゲート型 IGBT を含む半導体装置。

【請求項 3】

第 1 導電型第 1 の半導体層と、
前記第 1 の半導体層の一方の表面上に形成された第 2 導電型第 2 の半導体層と、
前記第 2 の半導体層の表面部分に形成された第 1 導電型ベース層と、
前記ベース層の表面部分に選択的に形成された第 2 導電型エミッタ層と、
前記エミッタ層及び前記ベース層を貫通し前記第 2 の半導体層の所定の深さまで設けられた複数のトレンチ溝と、
前記トレンチ溝内にゲート絶縁膜を介して形成されたゲート電極と、
前記エミッタ層及び前記ベース層上に形成されたエミッタ電極と、
前記第 1 の半導体層の他方の表面上に形成されたコレクタ電極と、
隣接する二つの前記トレンチ溝間における任意の領域に形成され、前記エミッタ電極と絶縁された第 1 導電型第 1 補助ベース層と、
前記領域における前記第 1 導電型第 1 補助ベース層上に形成された第 2 導電型第 2 補助ベース層と、
前記領域における前記第 2 導電型第 2 補助ベース層上に形成され、前記エミッタ電極にコンタクトする第 1 導電型第 3 補助ベース層と、

前記第 1 導電型第 3 補助ベース層の表面にコンタクトするキャリア排出電極と、
を備えることを特徴とするトレンチゲート型 I G B T を含む半導体装置。

【請求項 4】

前記トレンチゲート型 I G B T は、前記エミッタ電極に接続された第 1 の櫛形電極と、
前記第 1 の櫛形電極に対向配置され前記キャリア排出電極に接続された第 2 の櫛形電極と
を備えることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記トレンチゲート型 I G B T は、前記キャリア排出電極に接続された第 1 の配線層と
、前記エミッタ電極に接続された第 2 の配線層とを備え、前記第 1 の配線層と前記第 2 の
配線層とは間に絶縁膜を介して上下に配置されていることを特徴とする請求項 1 乃至 3 の
いずれかに記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、トレンチゲート型の絶縁ゲートバイポーラトランジスタ (Insulated Gate Bipolar Transistor、以下 IGBT と略記する) を含む半導体装置に関する。

【背景技術】

【0002】

近年、電力用半導体素子に対して低損失化という市場要求が高まっており、更なる低オン電圧を得るためにトレンチゲート型 IGBT が製品化されている。

【0003】

トレンチゲート型 IGBT は、古典的なプレーナゲート型 IGBT と比べてセルサイズの微細化によるチャネル抵抗の低減、及びプレーナゲート型 IGBT における寄生 JFET (Junction Field Effect Transistor) が構造上存在せず、ピンチオフ効果による電圧降下が無いため低オン電圧特性が得られる。

【0004】

従来のトレンチゲート型 IGBT の基本的な断面構造を、図 10 に示す。

【0005】

p⁺ 型半導体基板 11 上に、低不純物濃度の高抵抗 n⁻ 型半導体層 12 が形成され、この n⁻ 型半導体層 12 の表面部分に深さ約 4 μm の p 型ベース層 13 が形成され、この p 型ベース層 13 の表面部分に深さ約 0.5 μm の n⁺ 型エミッタ層 14 が不純物の拡散により形成されている。

【0006】

さらに、RIE 法 (Reactive Ion Etching) により幅が約 1 μm で深さが約 6 ~ 7 μm のトレンチ溝が選択的に形成される。トレンチ溝内には、約 0.1 μm のゲート絶縁膜 15 を介して、約 0.5 μm のポリシリコン等が積層されて埋め込まれた後、表面が平坦化されてゲート電極 16 が形成されている。

【0007】

そして、p 型ベース層 13 と n⁺ 型エミッタ層 14 とに共にオーミックコンタクトするエミッタ電極 17 が形成されている。また、p⁺ 型半導体基板 11 の裏面にはコレクタ電極 18 が形成されている。

【0008】

従来の IGBT に関する技術を開示した文献名について記載する。

【特許文献 1】特開 2001-168333 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、上述した従来のトレンチゲート型 IGBT には、次のような問題があった。

【0010】

p 型ベース層 13 の面積が大きく、p⁺ 型半導体基板 11 から高抵抗 n⁻ 型半導体層 12 に注入された正孔の排出効果が高い。このため、電荷中性条件に従い補うようにエミッタ層 14 から電子が注入される作用が弱く、高抵抗 n⁻ 型半導体層 12 の伝導度変調が十分に作用せずオン電圧を低減できなかった。

【0011】

また、キャリアを排出する事象であるターンオフ時においても損失を十分に低減することができないという問題もあった。

【0012】

本発明は上記の点に鑑みてなされたもので、低オン電圧で且つ高速ターンオフ特性のトレンチゲート型 IGBT を含む半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明の一態様による半導体装置は、
第1導電型第1の半導体層と、
前記第1の半導体層の一方の表面上に形成された第2導電型第2の半導体層と、
前記第2の半導体層の表面部分に形成された第1導電型ベース層と、
前記ベース層の表面部分に選択的に形成された第2導電型エミッタ層と、
前記エミッタ層及び前記ベース層を貫通し前記第2の半導体層の所定の深さまで設けられた複数のトレンチ溝と、
前記トレンチ溝内にゲート絶縁膜を介して形成されたゲート電極と、
前記エミッタ層及び前記ベース層上に形成されたエミッタ電極と、
前記第1の半導体層の他方の表面上に形成されたコレクタ電極と、
隣接する二つの前記トレンチ溝間における任意の領域に形成され、前記エミッタ電極と絶縁された第1導電型補助ベース層と、
前記第1導電型補助ベース層の表面にコンタクトするキャリア排出電極と、
を備えることを特徴とする。

【0014】

また、本発明の一態様による半導体装置は、
第1導電型第1の半導体層と、
前記第1の半導体層の一方の表面上に形成された第2導電型第2の半導体層と、
前記第2の半導体層の表面部分に形成された第1導電型ベース層と、
前記ベース層の表面部分に選択的に形成された第2導電型エミッタ層と、
前記エミッタ層及び前記ベース層を貫通し前記第2の半導体層の所定の深さまで設けられた複数のトレンチ溝と、
前記トレンチ溝内にゲート絶縁膜を介して形成されたゲート電極と、
前記エミッタ層及び前記ベース層上に形成されたエミッタ電極と、
前記第1の半導体層の他方の表面上に形成されたコレクタ電極と、
隣接する二つの前記トレンチ溝間における任意の領域に形成された第1導電型補助ベース層と、
前記第1導電型補助ベース層の表面にコンタクトするキャリア排出電極とを有するトレンチゲート型IGBTと、
前記第1導電型のチャネル領域を有し、前記トレンチゲート型IGBTの前記キャリア排出電極にソースが接続され、前記トレンチゲート型IGBTの前記エミッタ電極にドレインが接続され、前記トレンチゲート型IGBTのゲート電極にゲート電極が電氣的に接続されているMISFETと、
を備えることを特徴とする。

【0015】

あるいは、本発明の一態様による半導体装置は、
第1導電型第1の半導体層と、
前記第1の半導体層の一方の表面上に形成された第2導電型第2の半導体層と、
前記第2の半導体層の表面部分に形成された第1導電型ベース層と、
前記ベース層の表面部分に選択的に形成された第2導電型エミッタ層と、
前記エミッタ層及び前記ベース層を貫通し前記第2の半導体層の所定の深さまで設けられた複数のトレンチ溝と、
前記トレンチ溝内にゲート絶縁膜を介して形成されたゲート電極と、
前記エミッタ層及び前記ベース層上に形成されたエミッタ電極と、
前記第1の半導体層の他方の表面上に形成されたコレクタ電極と、
隣接する二つの前記トレンチ溝間における任意の領域に形成され、前記エミッタ電極と絶縁された第1導電型第1補助ベース層と、
前記領域における前記第1導電型第1補助ベース層上に形成された第2導電型第2補助ベース層と、

前記領域における前記第2導電型第2補助ベース層上に形成され、前記エミッタ電極にコンタクトする第1導電型第3補助ベース層と、

前記第1導電型第3補助ベース層の表面にコンタクトするキャリア排出電極と、
を備えることを特徴とする。

【発明の効果】

【0016】

本発明の半導体装置によれば、トレンチゲート型IGBTにキャリア排出用の専用電極を設け、キャリア排出用のMISFETを接続あるいはIGBT内に内蔵することで、低オン電圧且つ高速ターンオフ特性を実現することが可能である。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照して説明する。

【0018】

(1) 実施の形態1

本発明の実施の形態1による半導体装置に含まれるトレンチ型IGBTについて、そのチップ1の断面構造を示す図1を用いて以下に説明する。

【0019】

先ず、トレンチゲート型IGBTにおいて低オン電圧化を実現するためには、セルの充填密度効率を考慮した上で、トレンチゲート幅が広い方が望ましい。トレンチゲート幅が広いことで、p型ベース層13の面積が縮小される。これにより、 p^+ 型半導体基板11から高抵抗 n^- 型半導体層12に注入された正孔の排出効果が弱まり、電荷中性条件に従い補うようにエミッタ層14からの電子の注入が促進され、高抵抗 n^- 型半導体層12がより効果的に伝導度変調するためである。

【0020】

そこで、隣接するトレンチゲート間に浮遊電位の補助p型ベース層20を挿入することで、実質的にトレンチゲート幅を広くし、p型ベース層13の面積を縮小している。この結果、p型ベース層13の面積が縮小してキャリア密度が向上し、低オン電圧化が実現される。

【0021】

しかしこのままの構造では、ターンオン時において、トレンチゲート幅を広くしている補助p型ベース層20の下部にキャリア31が蓄積してしまい、キャリアの排出の事象であるターンオフ時においてこのキャリア31の排出作用が弱く、損失が増大することとなる。

【0022】

そこで、IGBTのターンオフ時にオンするPチャネルMISFET M1を設けている。さらに、補助p型ベース層20の表面にコンタクトするようにキャリア排出電極21を設け、これにPチャネルMISFET M1のソースを接続し、エミッタ電極17にドレインを接続し、ゲート電極16にMISFET M1のゲートを接続する。IGBTのターンオフ時にゲート電極16がローレベルとなってPチャネルMISFET M1がオンする。蓄積していたキャリア31が、補助ベース層20、キャリア排出電極21、MISFET M1を介してエミッタ電極17へ排出される。これにより、ターンオフ時におけるキャリア排出作用が促進され、高速なターンオフ特性が実現される。

【0023】

以下に、本実施の形態1における半導体装置の製造方法について説明する。

【0024】

第1導電型第1の半導体層として、例えば p^+ 型半導体基板11の表面上に、エピタキシャル成長により低不純物濃度で比抵抗 $50\Omega\text{cm}$ 以上の n^- 型半導体層12が約 $100\mu\text{m}$ 形成される。

【0025】

半導体層12の表面部分に、トレンチ溝がRIE法によって深さ約 $7\mu\text{m}$ で形成される

。

【0026】

半導体基板 11 に酸化処理が施され、トレンチ溝内の表面に約 $0.1 \mu\text{m}$ の膜厚でゲート絶縁膜 15 が形成される。ポリシリコンが約 $0.5 \mu\text{m}$ の膜厚で CVD 法により積層されて、トレンチ溝が埋め込まれる。この後、RIE 法によりポリシリコンがエッチバックされて表面が平坦化される。

【0027】

次に、隣接するトレンチ溝の間に 1 つおきに、補助 p 型ベース層 20 を形成する領域が開口された、図示されていないレジスト膜が形成される。このレジスト膜をマスクとしてボロン等の不純物がイオン注入され、 $8 \mu\text{m}$ 程度拡散されて補助 p 型ベース層 20 が形成される。この後、レジスト膜が剥離される。

【0028】

隣接するトレンチ溝の間のうち、補助 p 型ベース層 20 が形成されていない領域が開口されたレジスト膜が形成され、これをマスクとしてボロンがイオン注入され、 $4 \mu\text{m}$ 程度拡散されて p 型ベース層 13 が形成される。この後、レジスト膜が剥離される。

【0029】

同様の手法で砒素が選択的にイオン注入され、 $0.5 \mu\text{m}$ 程度拡散されて約 $2 \mu\text{m}$ 平方の n^+ 型エミッタ層 14 が形成される。このエミッタ層 14 は、隣接するトレンチ溝間のベース層 13 の表面部分において、中央領域を除いてそれぞれ一方のトレンチ溝から所定距離に渡って形成される。

【0030】

この後、CVD 法によりシリコン酸化膜等の絶縁膜が堆積されて、層間絶縁膜 19 が形成される。この層間絶縁膜 19 に対し、p 型ベース層 13 と n^+ 型エミッタ層 14 の双方にコンタクトするための開孔部が形成され、エミッタ電極 17 及びキャリア排出電極 21 が形成される。

【0031】

半導体基板 11 の裏面側に、V-Ni-Au 膜等が蒸着により形成されてコレクタ電極 18 が形成される。

【0032】

本実施の形態による IGBT は、上述したように、補助 p 型ベース層 20 にコンタクトするキャリア排出電極 21 を有する。

【0033】

このキャリア排出電極 21 に P チャネル MISFET M1 のソースが接続され、ドレインがエミッタ電極 17 に接続され、ゲート電極が共通に接続されている。IGBT がオン状態ではゲート電極に共にハイレベルの電圧が印加されており、P チャネル MISFET M1 はオフ状態であり、キャリア排出電極 21 からキャリア（正孔）の排出は行われず、高抵抗 n^- 型半導体層 12 は効果的に伝導度変調して低オン電圧化が実現される。

【0034】

IGBT がターンオフする時は、ゲートに共にローレベルの電圧が印加され、P チャネル MISFET M1 がオンし、補助 p 型ベース層 20 がエミッタ電極 17 と短絡状態となり、キャリアが積極的に排出されてターンオフ時間が短縮される。

【0035】

この結果、低オン電圧特性とターンオフ損失の低減の両立が可能となる。

【0036】

ところで、IGBT と外付けの P チャネル MISFET M1 とが、1) 同一パッケージ内に設けられている場合と、2) 異なるパッケージに設けられている場合とが考えられる。

【0037】

1) 同一パッケージ内に設けられている場合

1-1) MISFET M1 が横型である場合

図2に示されたように、IGBTのチップ1上におけるエミッタ電極の任意の場所に、PチャネルMISFET M1が固着されたチップオンチップ構造を有する。PチャネルMISFET M1は、半導体基板41及びシリコン酸化膜42を有するSOI基板上に、ソース、ドレイン領域としてp型不純物拡散層43、チャネル領域としてn型不純物拡散層44が形成されている。MISFET M1の裏面側は、シリコン酸化膜42により絶縁された状態でIGBTのチップ1に固着されている。

【0038】

そして、PチャネルMISFET M1のゲート電極がIGBTのゲート電極に接続され、MISFET M1のソース電極がキャリア排出電極21に接続され、MISFET M1のドレイン電極がエミッタ電極に接続されている。この状態で、同一パッケージ内に封止される。

【0039】

1-2) MISFET M1が縦型である場合

この場合は、MISFET M1をIGBTのチップ1上に固着するのではなく、二つのチップを横並びに並べて結線した構造を有する。

【0040】

縦型のMISFET M1は、例えば図3に示される構造を有し、p型半導体基板52一方の表面の一部分に、チャネル領域としてn型不純物拡散層53が形成され、このn型不純物拡散層53の一部分にドレイン領域としてp⁺型不純物拡散層54が形成され、p型半導体基板52の他方の表面の全面にソース領域としてp⁺型不純物拡散層51が形成されている。

【0041】

そして、図4に示されたように、IGBTのチップ1とMISFET M1のチップ2とがリードフレーム61~64上に搭載され、ボンディングワイヤにより結線される。

【0042】

より詳細には、コレクタ用リードフレーム62上にIGBTのチップ1が搭載され、ドレイン用リードフレーム64上にMISFET M1のチップ2が搭載される。

【0043】

チップ1のエミッタ電極17がエミッタ用リードフレーム61及びドレイン用リードフレーム64に結線される。チップ1のゲート電極がチップ2のゲート電極に結線され、このゲート電極がゲート用リードフレーム63に結線される。チップ1のキャリア排出電極21がチップ2のソース電極に接続される。この状態で、同一パッケージ内に封止される。

【0044】

2) 異なるパッケージに設けられている場合

この場合は、IGBTのチップと外付けのMISFET M1のチップとが異なるパッケージに封止された構造を有する。以下に、別パッケージのMISFET M1に接続するためのIGBTの電極構造について説明する。

【0045】

先ず、図1に示されたIGBTのチップ1におけるエミッタ電極17及びキャリア排出電極21は、図5の斜視図に示された平面構造を有する。

【0046】

このようなチップ1上に、図6に示されたキャリア排出用の楕形電極71と、これと対向するようにエミッタ用の楕形電極72とが設けられる。

【0047】

あるいはチップ1上に、図7に示されたように、1層目のキャリア排出用配線層81が形成され、図示されていない層間絶縁膜を介して2層目のエミッタ用配線層82が形成されている。エミッタ用配線層82には、エミッタ電極17に接続するためのコンタクトが接触する領域83が存在する。

【0048】

(2) 実施の形態 2

本発明の実施の形態 2 による半導体装置に含まれるトレンチ型 IGBT について、そのチップ 2 の断面構造を示す図 8 を用いて以下に説明する。

【0049】

本実施の形態 1 における IGBT は、キャリア排出用の P チャネル MISFET を素子内部に取り込んだ構造を有する。以下に、本実施の形態 1 による半導体装置の製造方法について説明する。

【0050】

p⁺ 半導体基板 11 上に、エピタキシャル成長により低不純物濃度で比抵抗 50 Ω cm 以上の n⁻ 型半導体層 12 が約 100 μm 形成される。

【0051】

隣接するトレンチ溝の間における 1 つおきの領域に、所定の深さに第 1 補助 p 型ベース層 22 を形成するため、図示されていないマスクが形成され、数 MeV の高加速イオン注入法によりボロンが選択的にイオン注入され、拡散されて第 1 補助 p 型ベース層 22 が形成される。

【0052】

次に、トレンチ溝が RIE 法によって深さ約 7 μm で形成され、半導体基板 11 が 0.1 μm 程度酸化されてゲート絶縁膜 15 が形成される。

【0053】

ポリシリコンが 0.5 μm 程度 CVD 法により積層されてトレンチ溝が埋め込まれた後、RIE によりポリシリコンがエッチバックされて表面が平坦化される。

【0054】

トレンチ溝の間において第 1 補助 p 型ベース層 22 の上部に第 2 補助 n 型ベース層 23 を形成するため、リンが選択的にイオン注入され、拡散されて第 2 補助 n 型ベース層 23 が形成される。

【0055】

トレンチ溝の間において第 2 補助 n 型ベース層 23 の上部に第 3 補助 p 型ベース層 24 を形成するため、再びボロンが選択的にイオン注入され、拡散されて第 3 補助 p 型ベース層 24 が形成される。

【0056】

さらに、トレンチ溝の間において、第 1 補助 p 型ベース層 22 ~ 第 3 補助 p 型ベース層 24 が形成されていない領域の表面部分にボロンがイオン注入され、4 μm 程度拡散されて p 型ベース層 13 が形成される。この p 型ベース層 13 の表面部分のうち、中央部分を除いて砒素が選択的にイオン注入され、0.5 μm 程度拡散されて 2 μm 平方程度の n⁺ 型エミッタ層 14 が形成される。

【0057】

この後、CVD 法により絶縁層間膜 19 が形成され、p 型ベース層 13 と n⁺ 型エミッタ層 14 との双方にコンタクトするため開孔され、また第 3 補助 p 型ベース層 24 にコンタクトするため開孔され、エミッタ電極 17 が形成される。

【0058】

半導体基板 11 の裏面には、V-Ni-Au 膜等が蒸着により形成されて、コレクタ電極 18 が形成される。

【0059】

本実施の形態 2 によれば、第 1 補助 p 型ベース層 22、第 2 補助 n 型ベース層 23、第 3 補助 p 型ベース層 24 からなる P チャネル MISFET がゲート電極を共有する形で IGBT と同一チップ 3 内に形成されており、上記実施の形態 1 と同様の作用、効果を奏する。

【0060】

(3) 実施の形態 3

本発明の実施の形態 3 による半導体装置に含まれるトレンチ型 IGBT について、その

チップ4の断面構造を示す図9を用いて以下に説明する。

【0061】

本実施の形態3による半導体装置の構造は、上記実施の形態2における隣接するゲート電極の間に形成された第1補助p型ベース層22、第2補助n型ベース層23、第3補助p型ベース層24に対し、さらにその間にゲート電極を形成することにより、ベース層22～24から成るPチャネルMISFETを複数形成したものに相当する。

【0062】

PチャネルMISFETを複数備えることから、ターンオフ時のキャリア排出を効率よく行うことができるので、ターンオフをより高速化することが可能である。

【0063】

上述した上記実施の形態1～3はいずれも一例であって、本発明を限定するものではない。例えば、導電型に関して上記実施の形態1～3におけるものを全て反転したものであってもよい。

【0064】

また、上記実施の形態1では、隣接するトレンチ溝間における一つおきの領域にp型補助ベース層20を備えているが、必ずしも一つおきの全ての領域に備える必要はなく、それよりも少ない任意の領域に備えてもよい。同様に、上記実施の形態2、3では、隣接するトレンチ溝間における一つおきの領域にp型第1補助ベース層22、n型第2補助ベース層23、p型第3補助ベース層24を備えているが、必ずしも一つおきの全ての領域に備える必要はなく、それよりも少ない任意の領域に備えてもよい。

【0065】

さらに、上記実施の形態3では2本のゲート電極の間に設けた1組のベース層22～24に対しその間に3本のゲート電極を設けているが、その数は任意に設定することができる。

【0066】

また、上記実施の形態1において、図5を用いて説明したIGBTのキャリア排出用電極及びエミッタ電極、図6を用いて説明したキャリア排出用櫛形電極及びエミッタ用櫛形電極、あるいはまた図7を用いて説明したキャリア排出用配線層及びエミッタ用配線層に関する構成を、キャリア排出用MISFETを内蔵した上記実施の形態2あるいは3による半導体装置が備えてもよい。

【図面の簡単な説明】

【0067】

【図1】本発明の第1の実施の形態による半導体装置に含まれるトレンチゲート型IGBT及び外付けのキャリア排出用MISFETの構成を示した縦断面図。

【図2】同トレンチゲート型IGBTと横型のキャリア排出用MISFETとを同一パッケージ内に設けた場合の構成を示す縦断面図。

【図3】同トレンチゲート型IGBTと縦型のキャリア排出用MISFETとを同一パッケージ内に設ける場合におけるキャリア排出用MISFETの構成を示す縦断面図。

【図4】図3に示されたキャリア排出用MISFETとトレンチゲート型IGBTとの結線を示す平面図。

【図5】同トレンチゲート型IGBTとキャリア排出用MISFETとを異なるパッケージに設ける場合におけるトレンチゲート型IGBTの構成を示す斜視図。

【図6】図5に示されたトレンチゲート型IGBTにおける櫛形電極の構成を示す斜視図。

【図7】図5に示されたトレンチゲート型IGBTにおける2層配線の構成を示す斜視図。

【図8】本発明の第2の実施の形態による半導体装置に含まれるトレンチゲート型IGBTの断面構造を示した縦断面図。

【図9】本発明の第3の実施の形態による半導体装置に含まれるトレンチゲート型I

G B T の断面構造を示した縦断面図。

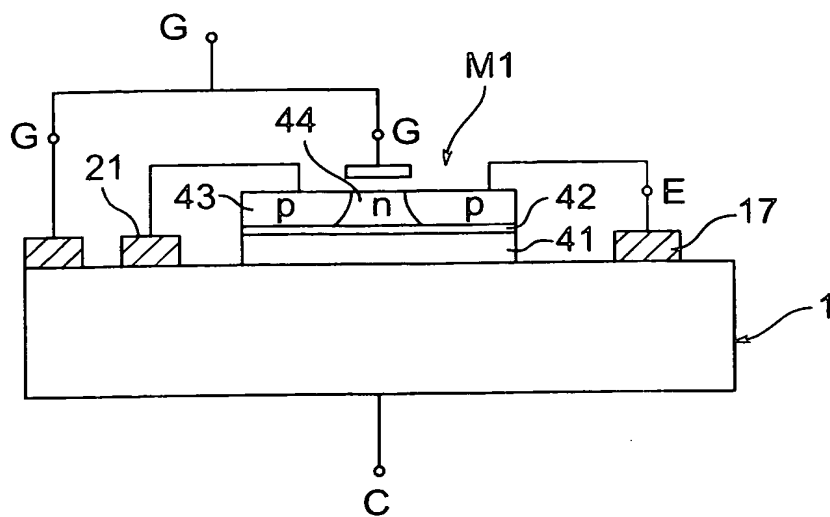
【図 1 0】従来のトレンチゲート型 I G B T の断面構造を示した縦断面図。

【符号の説明】

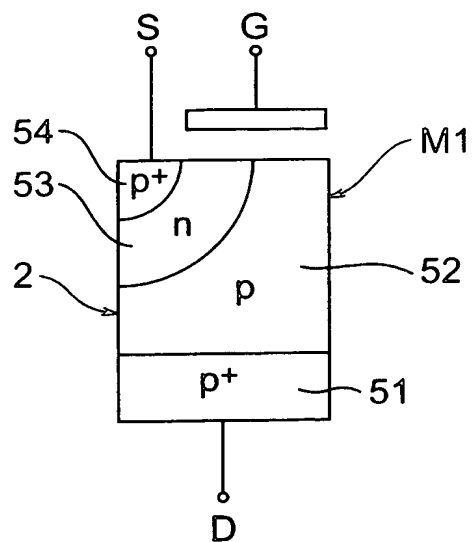
【 0 0 6 8 】

- 1 1 p^+ 型半導体基板
- 1 2 n^- 型半導体層
- 1 3 p 型ベース層
- 1 4 n^+ 型エミッタ層
- 1 5 ゲート酸化膜
- 1 6 ゲート電極
- 1 7 エミッタ電極
- 1 8 コレクタ電極
- 2 0 p 型補助ベース層
- 2 1 キャリア排出電極
- 2 2 p 型第 1 補助ベース層
- 2 3 n 型第 2 補助ベース層
- 2 4 p 型第 3 補助ベース層
- 3 1 キャリア
- 4 1 半導体基板
- 4 2 絶縁膜
- 4 3 p 型不純物拡散層
- 4 4 n 型不純物拡散層
- 5 1 p^+ 型半導体基板
- 5 2 p 型不純物拡散層
- 5 3 n 型不純物拡散層
- 5 4 p 型不純物拡散層
- 6 1 ~ 6 4、7 1 ~ 7 2 リードフレーム
- 7 1 ~ 7 2 櫛型電極
- 8 1 ~ 8 2 配線

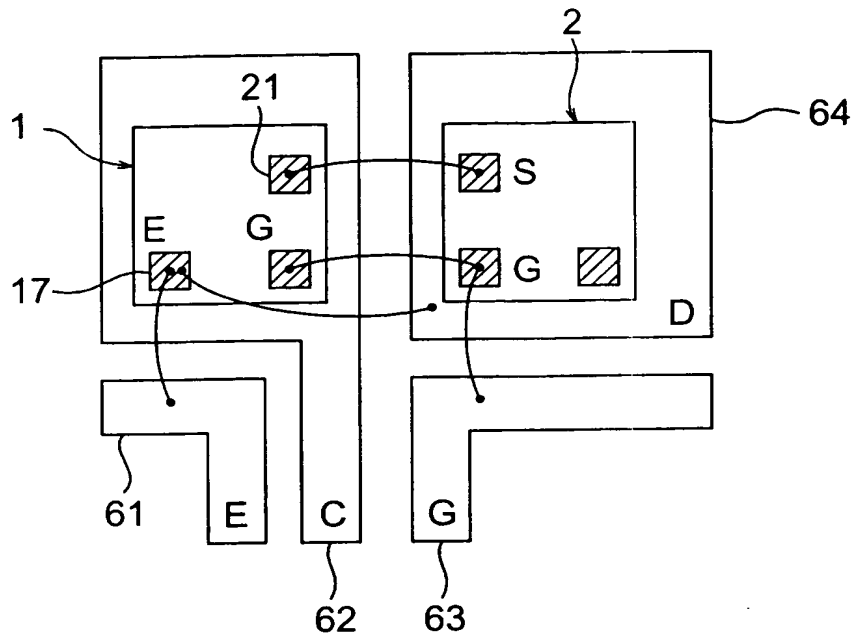
【図 2】



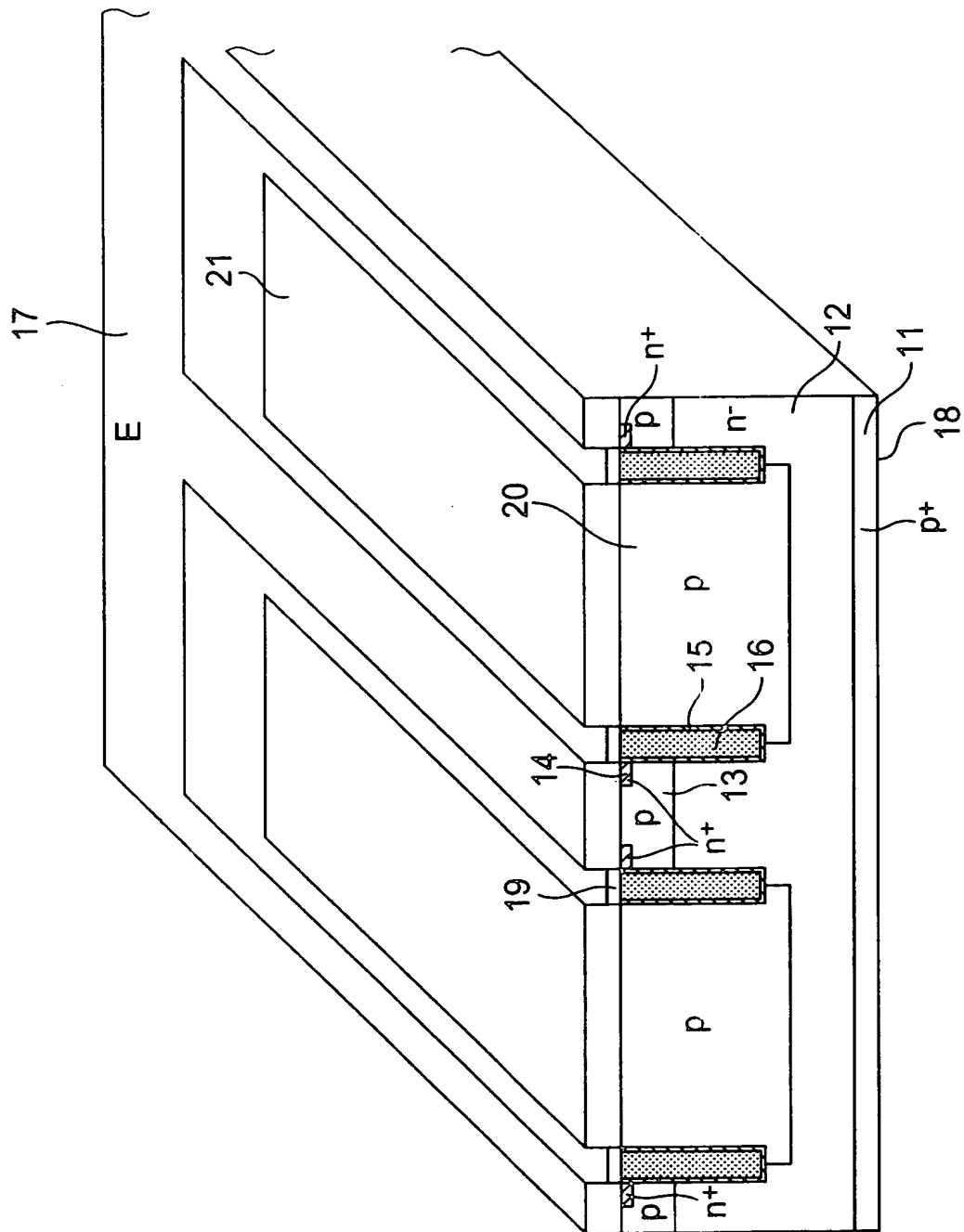
【図 3】



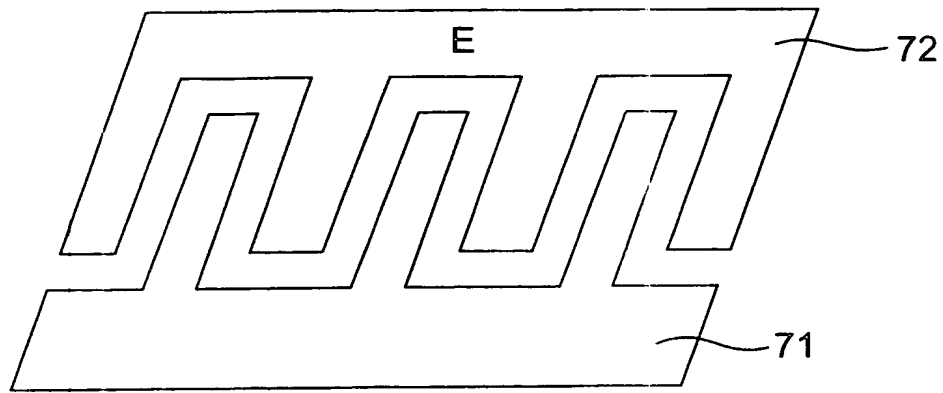
【図 4】



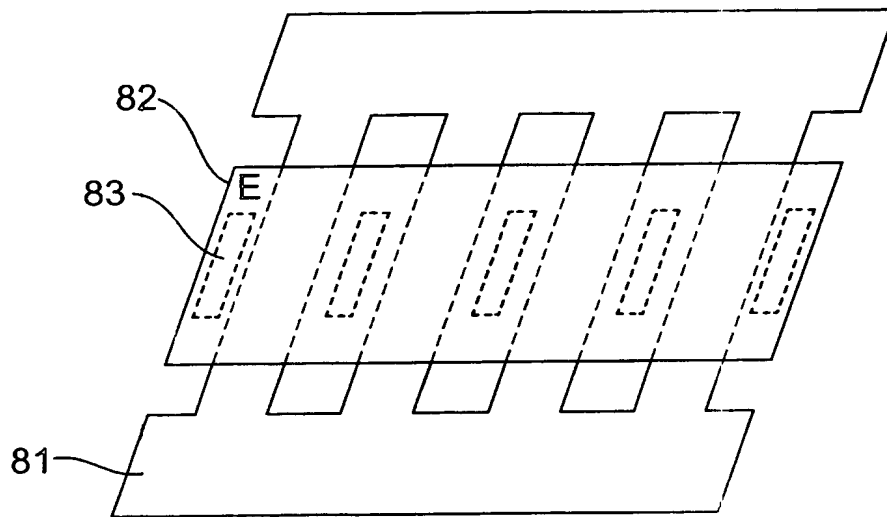
【図 5】



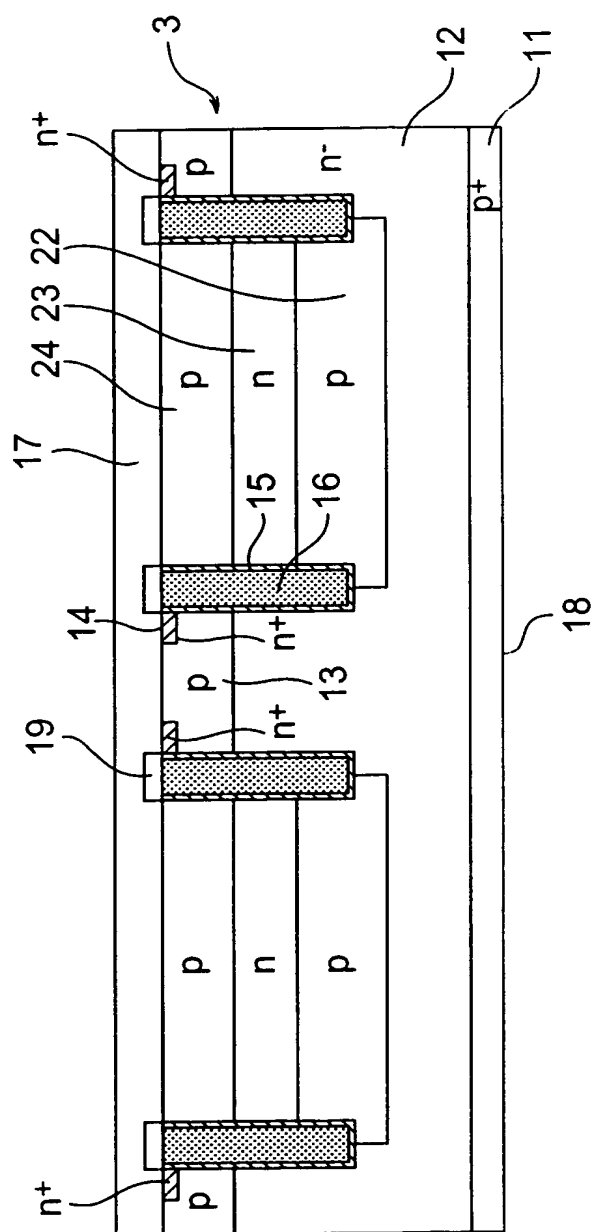
【図 6】



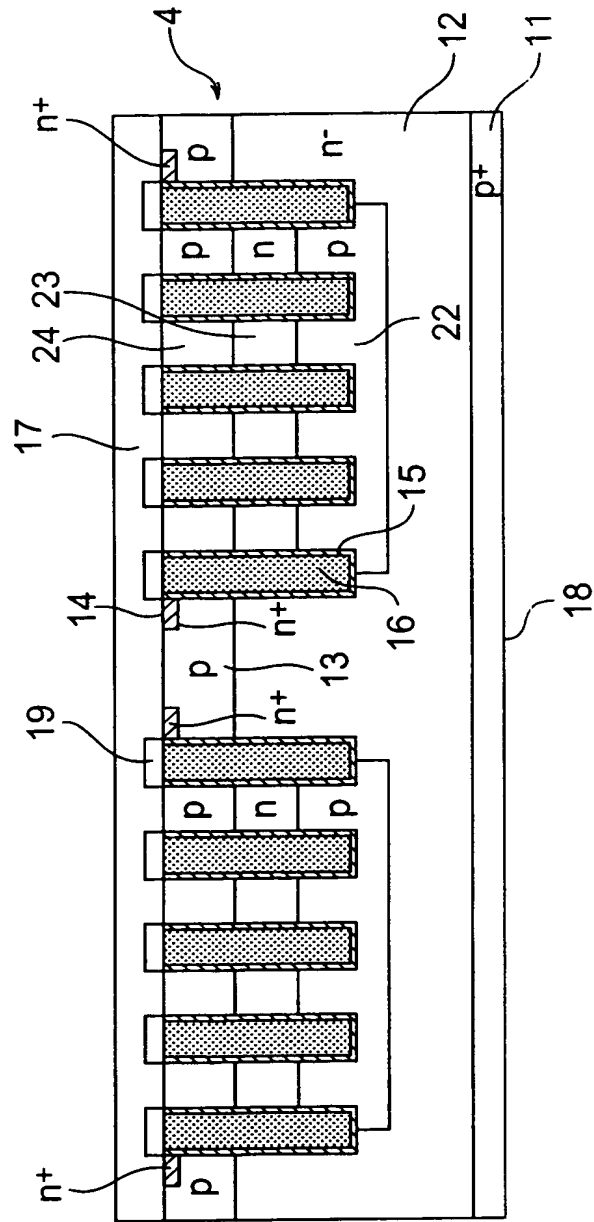
【図 7】



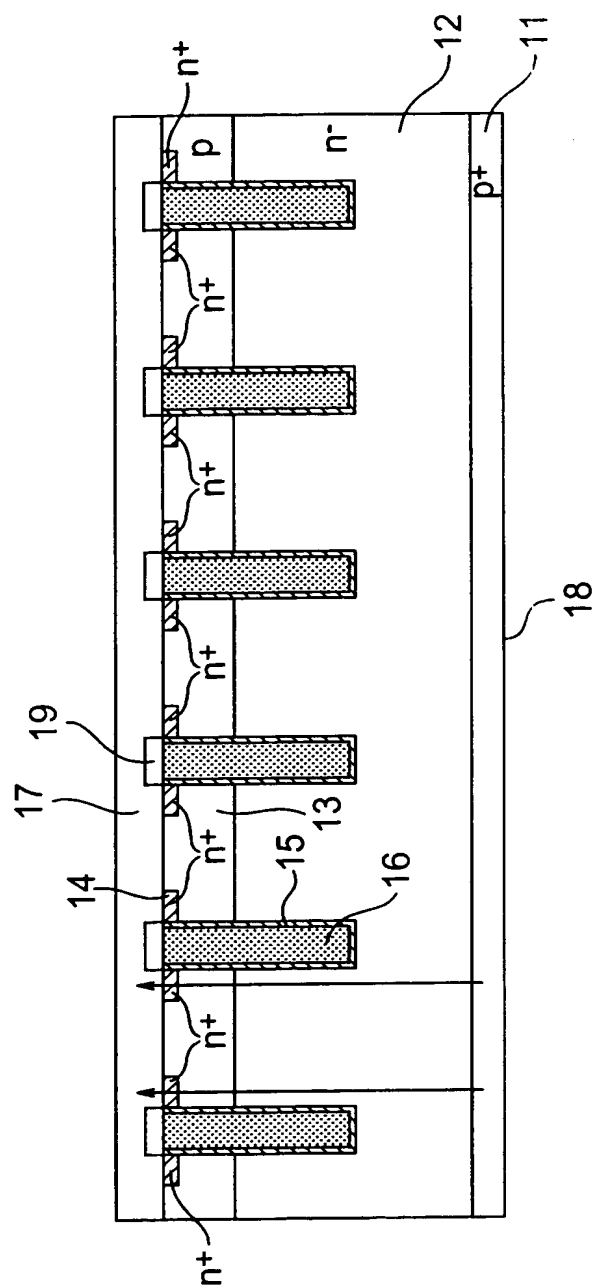
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 低オン電圧且つ高速ターンオフ特性のトレンチゲート型 I G B T を含む半導体装置を提供する。

【解決手段】 トレンチ溝間に補助ベース層 2 0 を設け、ベース層 1 3 の面積を実質的に狭くしてキャリア密度を向上させ低オン電圧化を実現する。ターンオフ時には、補助ベース層 2 0 上に設けたキャリア排出電極 2 1 とエミッタ電極との間に設けた M I S F E T M 1 をオンさせることで、補助ベース層 2 0 の下部に蓄積したキャリアを効率よく排出し、高速化を実現する。

【選択図】 図 1

特願 2 0 0 4 - 0 1 3 4 5 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝